

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09319657 A**

(43) Date of publication of application: 12 . 12 . 97

(51) Int. Cl.

G06F 12/08
G06F 12/08

(21) Application number: **08138004**

(22) Date of filing: 31 . 05 . 96

(71) Applicant: **HITACHI LTD**

(72) Inventor: **KUROKAWA NORITAKE**
TANAKA KAZUHIKO
KOJIMA KEIJI
NISHIOKA KIYOKAZU
NOJIRI TORU

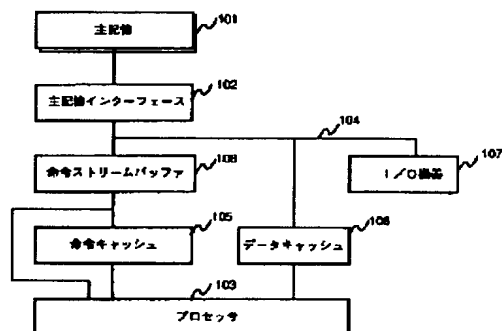
(54) **PROCESSOR PROVIDED WITH BUFFER FOR
READING INSTRUCTION**

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent an instruction from being uselessly read in the case of performing prefetch for enlarging a cache line or for reading the continuous areas of high read possibility into a cache before a request from a processor in order to accelerate transfer speed by utilizing the high-speed page mode of a dynamic random access memory (DRAM) or the like when constituting the instruction cache.

SOLUTION: An instruction cache 105 is constituted in the minimum size of a cache line, namely, composed of one line-one instruction and between the instruction cache 105 and a main memory 101, an instruction stream buffer 108 is provided. The instruction stream buffer 108 can write an instruction stream read from the main memory 101 for a variable length in the integer multiple size of the cache line and outputting to the instruction cache 105 is enabled for the unit of a cache line.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-319657

(43) 公開日 平成9年(1997)12月12日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F 12/08	3 1 0	7623-5B 7623-5B	G 0 6 F 12/08	3 1 0 Z C

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平8-138004

(22) 出願日 平成8年(1996)5月31日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 黒川 能毅

神奈川県川崎市麻生区王禅寺1099番地株式

会社日立製作所システム開発研究所内

(72) 発明者 田中 和彦

神奈川県川崎市麻生区王禅寺1099番地株式

会社日立製作所システム開発研究所内

(72) 発明者 小島 啓二

神奈川県川崎市麻生区王禅寺1099番地株式

会社日立製作所システム開発研究所内

(74) 代理人 弁理士 小川 勝男

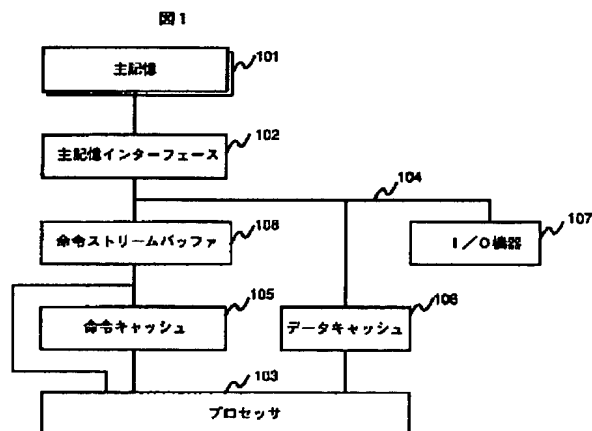
最終頁に続く

(54) 【発明の名称】 命令読み込み用バッファを備えたプロセッサ

(57) 【要約】

【課題】命令キャッシュを構成する場合に、DRAMの高速ページモードなどを利用して転送速度を上げるため、キャッシュラインを大きくしたり、読まれる可能性の高い連続した領域をプロセッサから要求される前に、キャッシュに読み込んでおくプリフェッチをした場合の無駄な命令の読み込みを無くす。

【解決手段】命令キャッシュ105をキャッシュラインの大きさを最低の大きさ、つまり1ライン1命令で構成し、命令キャッシュ105と主記憶101の間に命令ストリームバッファ108を設ける。命令ストリームバッファ108は、キャッシュラインの正数倍の大きさでの可変長での主記憶101から読み込んだ命令列の書き込みが可能で、命令キャッシュ105への出力はキャッシュライン単位で可能なように構成する。



【特許請求の範囲】

【請求項1】命令読込に使用されるキャッシュを持つプロセッサに於て、上記プロセッサが大容量記憶装置に接続する手段と、上記キャッシュの間に自らの容量を上限とする任意の大きさの情報を上記大容量記憶装置から読み出す手段を持つ小容量の記憶装置を設け、上記大容量の記憶装置から読み出された連続した命令列を一時的に保存し、上記プロセッサからの要求に応じて自らの記憶装置に要求された情報がある場合は、これを上記プロセッサおよびキャッシュへ送信し、また、無い場合は、上記情報を上記大容量記憶装置から読み出す手段によって、要求された情報を自らの記憶装置に格納した上で、これをプロセッサおよびキャッシュへ送信することを特徴とする記憶装置。

【請求項2】請求項1の記憶装置を備えるプロセッサ。

【請求項3】請求項1に於て、任意の大きさの情報を上記大容量記憶装置から読み出す手段に加えて、現在行なっている読み出し作業を中止する手段と、新たな読み出し作業を開始する手段を設けて、記憶装置が上記大容量記憶装置から読み出し作業を行なっている最中にプロセッサからの要求が発生した場合、現在行なっている読み出し作業を中断し、新たな読み出し作業を開始し、要求された情報を自らの記憶装置に格納した上で、これをプロセッサおよびキャッシュへ送信する記憶装置。

【請求項4】請求項3の記憶装置を備えるプロセッサ。

【請求項5】請求項3に於て、現在行なっている読み出し作業を中止する手段と、新たな読み出し作業を開始する手段に加えて、さらに、読み出し作業を行なっている最中のプロセッサから要求発生に対して、現在行なっている読み出し作業によって要求されている情報が得られるかを判定する手段を設け、その判定によって、得られない事が判定された場合のみ、上記の現在行なっている読み出し作業を中止する手段と、新たな読み出し作業を開始する手段を動作させて、現在行なっている読み出し作業を中断し、新たな読み出し作業を開始し、要求された情報を自らの記憶装置に格納した上で、これをプロセッサおよびキャッシュへ送信する記憶装置。

【請求項6】請求項5の記憶装置を備えるプロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はパーソナルコンピュータなどの情報処理装置に使われるプロセッサの命令用キャッシュメモリに関する。

【0002】

【従来の技術】現在のパーソナルコンピュータや、ワークステーションなどの情報処理装置には、高性能のプロセッサが搭載され、動画像処理、3次元画像処理など多彩な処理が可能となっている。このような情報処理装置に使用されている高性能プロセッサは、動作速度を向上するために動作周波数を上げており、チップ内部での動

作周波数は数十メガヘルツから数百メガヘルツにまで達している。また、プロセッサが高性能になるに従い、情報処理装置も扱うことができるプログラムやデータのサイズが大きくなってきていて、それらを記憶するための主記憶も大容量である事が必要となり、高速なSRAM（スタティック・ランダムアクセスメモリ）で構成することはコスト的にも技術的にも困難となっていて、比較的低速なDRAM（ダイナミック・ランダムアクセスメモリ）で構成することになる。DRAMは現在最も市場に出回っている4メガビット品や16メガビット品などでアクセス時間が60ナノ秒程度、高速ページモードアクセスと呼ばれる高速なアクセス方法を使用してもアクセス時間は半分の30ナノ秒で1アクセスを行なうことができる。しかし、1秒間あたりに最高何回のデータアクセスが可能であるか周波数を計算すると33メガヘルツ程度となり、数百メガヘルツで動作するプロセッサへ途切れなく命令およびデータを供給し続けることは不可能であり、高性能が達成できない。

【0003】そこで、プロセッサと低速な主記憶との間に少量の高速なメモリ（以後キャッシュと呼ぶ）を用意し、高性能を実現している。プロセッサが一度主記憶から読み込んだ領域をキャッシュに保存し、その領域を再びプロセッサが必要とした場合に、キャッシュに対してアクセスを行なうことによってプロセッサへ高速にプログラムやデータを供給できる。このプロセッサが読み込みたい領域がキャッシュ内に存在する事をキャッシュのヒット、逆に読み込みたい領域がキャッシュ内に存在しない事をキャッシュのミスヒットという。キャッシュがミスヒットを起こした場合、主記憶から、必要とする領域を読み出してキャッシュ内の空いている領域に読み込むか、または空きがない場合はキャッシュ上の一部領域と交換する事によって、キャッシュ内に領域を取り込む。

【0004】近年のプロセッサでは、プロセッサが使用する命令列のみを読み込む命令キャッシュと、データのアクセスのみに使用するデータキャッシュとに分かれている。このうち、命令キャッシュは命令列のみを読み込むためのキャッシュであるため、プロセッサから見て、読み出し専用となっている。

【0005】この命令キャッシュがミスヒットを起こすと、プロセッサへの命令供給が停止するため、命令が主記憶から読み込まれるまでの間プロセッサが停止する事になり、性能低下の原因となる。このミスヒットを少なくするために様々な方法が考案されている。一般的には、プロセッサが利用する命令列は連続し反復する性質を持つ事を利用して、これから使用すると予測される領域を前もってキャッシュに読み込んでおくプリフェッチという方法がある。特開平6-103169号公報では、命令列の反復性を利用し、過去のアクセス履歴を取り、これを元にプリフェッチを行なう機構を開示してい

る。また、特開平7-105098号公報では、命令列の連続性を利用し、キャッシュと主記憶の間にFIFOを設けて、キャッシュがミスヒットを起こした場合、まず、ミスヒットを起こしたアドレスからFIFO容量分のデータを読み込んでおき、プロセッサの後続の命令読み込みで必要なデータがFIFOに入っている場合はFIFOからの読み出しを行なう事によって、高速化を図る機構を開示している。

【0006】

【発明が解決しようとする課題】命令キャッシュを構成する場合、プロセッサが利用する命令列は連続性があるため、ある場所の命令を読み込んだ場合、その次の命令が使用される確率が高い。よって、命令列を命令キャッシュへ読み込む単位（以後キャッシュラインと呼ぶ）を大きく取ることによって、主記憶と命令キャッシュ間の転送にDRAMの高速ページモードなどを利用して、転送速度を向上し、性能向上が期待できる。転送速度は、キャッシュラインのサイズを大きくする程向上する。しかし、このキャッシュラインは、分岐命令の影響で、使用されない無駄な命令をキャッシュに読み込む可能性がある。これは、キャッシュラインサイズを大きくする程、この無駄な読み込みが大きくなり、有効な命令の転送速度の低下や、主記憶の転送バンドを無駄に使って、全体的に性能の低下の原因となる。また、命令列の性質から次に読まれる可能性の高い連続した領域をプロセッサから要求される前に、前もってキャッシュに読み込んでおくプリフェッチでは、キャッシュラインサイズを小さくしたままで、且つ大きな領域を読み込む事ができ、このためDRAMの高速ページモードなどを利用して転送速度向上をみこめるが、やはり、無駄な命令を読み込む可能性はまだ大きく、性能の低下の原因となる可能性がある。

【0007】

【課題を解決するための手段】上記課題は、以下のよう

に構成することで解決する。

【0008】命令キャッシュをキャッシュラインサイズを最低の大きさ、つまり1ライン1命令で構成し、命令キャッシュと主記憶の間に命令ストリームバッファを設ける。この命令ストリームバッファは、キャッシュラインサイズの正数倍の大きさでの可変長で主記憶から読み込んだ命令列の書き込みが可能で、命令キャッシュへの出力はキャッシュライン単位で可能なように構成する。

【0009】

【発明の実施の形態】上記手段を実現するための本発明の実施例を図面を用いて説明する。

【0010】実施例を図1ないし図15を用いて説明する。

【0011】図1は本実施例の全体のデータフローのブロック図である。図中、101は主記憶、102は主記憶インターフェース、103はプロセッサ、104はメ

モリバス、105は命令キャッシュ、106はデータキャッシュ、107は主記憶インターフェースに接続しているその他のI/O機器であり、これに、108の命令ストリームバッファを設ける。

【0012】101の主記憶は、103のプロセッサが使用する命令列、データが格納されていて、102の主記憶インターフェースによって、主記憶外部からの読み書きが行なわれる。

【0013】102の主記憶インターフェースは、103のプロセッサや107のその他のI/O機器等の主記憶へのアクセスを補助し、アクセス要求に従って101の主記憶から命令列およびデータの入出力を行ない、結果を要求元へ返す。

【0014】103のプロセッサは、101の主記憶に格納されている命令列、データを102の主記憶インターフェースを介して読み出し、処理をおこなう。

【0015】104のメモリバスは、102のメモリバスインターフェースとこれを利用して主記憶にアクセスする103のプロセッサや107のI/O機器を接続している。

【0016】105は命令キャッシュで、103のプロセッサからの命令読み出し要求によって101の主記憶から読み出された命令列が一時的に格納される。プロセッサが要求した命令がここに格納されている場合、ここからプロセッサへ命令を送出し主記憶へはアクセスしない。

【0017】106はデータキャッシュで、103のプロセッサからのデータ読み出し要求によって101の主記憶から読み出されたデータ列が一時的に格納される。プロセッサが要求したデータがここに格納されている場合、ここからプロセッサへデータを送出し主記憶へはアクセスしない。また、データを書き出す場合、データキャッシュへ書き出すと同時に主記憶への書き込みを行なう場合と、データキャッシュのみに書き出し、何らかの要因でキャッシュ上のデータが消されるときに主記憶へ書き出す場合とがある。

【0018】107のI/O機器は、103のプロセッサとは独立して101の主記憶へのアクセス(DMA)をおこなう。

【0019】108の命令ストリームバッファは、103のプロセッサの命令要求を受けた102の主記憶インターフェースが101の主記憶から読み出して104のメモリバスを通して送信した命令列を受け取り、その一部を必要に応じてプロセッサ、105の命令キャッシュへ送信する。

【0020】図2は実施例図1の108の命令ストリームバッファブロックの内部構成である。図中、201はメモリバスインターフェース、202は命令バッファ、203は命令バリッドバッファ、204はアドレスタグ、205は命令ストリームバッファコントローラであ

る。

【0021】201のメモリバスインターフェースは、108の命令ストリームバッファブロックを102の主記憶インターフェースへメモリバスで接続するブロックである。205の命令ストリームバッファコントローラが発行する主記憶読み出し命令を受けて、主記憶へのアクセスを行ない、202の命令バッファへの書き込みや、203の命令バリッドバッファへ命令が有効である事を書き込む。

【0022】202の命令バッファは、201のメモリバスインターフェースが出力する命令列を格納する。また、205の命令ストリームバッファコントローラによって、読み出され、103のプロセッサや、105の命令キャッシュに書き込まれる。

【0023】203の命令バリッドバッファは、202の命令バッファと同じ行数の1ビット幅ラッチによって構成される。205の命令ストリームバッファコントローラが発行する主記憶読み出し命令を受けて全てクリアされ、同じく命令ストリームバッファコントローラが発行する命令バッファ書き込み信号を受けて、命令バッファと同じ行のビットをセットする。これによって、命令バッファの中で有効な命令が入っている行を知る事ができる。

【0024】204のアドレスタグは、この命令ストリームバッファが格納している命令の主記憶上のアドレスを保持する。205の命令ストリームバッファコントローラが発行する主記憶読み出し命令を受けて、同時に発行される主記憶読み出しアドレスを格納し、次の主記憶読み出し命令を受けるまで保持する。

【0025】205の命令ストリームバッファコントローラは、103のプロセッサからの読み出し要求を受けて、要求された命令が202の命令バッファ内に格納されているかを判定し、格納されている場合は、命令バッファからの読み出しを行ない、無い場合は201のメモリバスインターフェースへ主記憶読み出し命令を発行し、読み出されて命令バッファへ格納された命令のうち、103のプロセッサから要求を受けた命令をプロセッサと105の命令キャッシュへ送信する。

【0026】以上の構成によって、命令ストリームバッファブロックは、以下のように動作する。

【0027】101の主記憶に格納されている命令を103のプロセッサが要求すると、205の命令ストリームバッファはこれを受取り、202の命令バッファ内に格納されているかを確認する。このとき格納されている場合は、その命令を取りだし、プロセッサおよび105の命令キャッシュへ送信する。格納されていない場合は201のメモリバスインターフェースへ主記憶読み出し命令を発行し、読み出されて命令バッファへ格納された命令列のうち、プロセッサから要求を受けた命令をプロセッサと105の命令キャッシュへ送信する。

【0028】図3は実施例のメモリバスインターフェースのブロック図である。図中301は読み出しバッファ、302はスタートアドレスバッファ、303はカレントアドレスカウンタ、304はメモリバスコントローラ、305は命令バッファ書き込みコントローラ、306はメモリバスデータ、307はメモリバスアドレス、308はメモリバス制御信号、309は読み出し命令列、310は命令バッファ書き込みアドレス、311は命令バッファコントロール信号、312はスタートアドレス、313は主記憶読み出し要求信号、314は主記憶再読み出し信号、315はリードバッファイネーブル信号、316は命令バッファ書込制御信号、317はスタートロードアドレス、318はカウンタコントロール信号である。301の読み出しバッファは、316のメモリバスコントローラから出力される315のリードバッファイネーブル信号タイミングで306のメモリバスデータをラッチし、保持する。保持している内容は、309の読み出し命令列として、202の命令バッファへ出力される。

【0029】302のスタートアドレスバッファは、205の命令ストリームバッファから発行される313の主記憶読み出し要求信号のタイミングで同じく発行される312のスタートアドレスを格納する。このアドレスを307のメモリバスアドレスとして104のメモリバスへ出力し、また、303のカレントアドレスカウンタの初期値として使用される317のスタートロードアドレスとして出力される。303のカレントアドレスカウンタは、317のスタートロードアドレスを初期値として、命令バッファ書込コントローラの出力する318のカウンタコントロール信号によってインクリメントされるカウンタである。このカウンタの出力は、310の命令バッファ書き込みアドレスとして202の命令バッファへ出力される。

【0030】304のメモリバスコントローラは、205の命令バッファストリームコントローラから出力される313の主記憶読み出し要求信号や314の主記憶再読み出し信号をもとに、308のメモリバス制御信号を作成し104のメモリバスへ出力し、また、315のリードバッファイネーブル信号を作成し305の読み出しバッファへ出力する。さらに、命令バッファへの書き込みタイミングを316の命令バッファ書込制御信号として出力する。

【0031】305の命令バッファ書込コントローラは、316の命令バッファ書込制御信号をもとに、303のカレントアドレスカウンタの310の命令バッファへの書込アドレス作成タイミングとなる318のカウンタコントロール信号を出力する。また311の命令バッファコントロール信号を作成し、202の命令バッファへの書き込みを行なう。

【0032】この構成によって、103のプロセッサの

要求を受けて205の命令ストリームバッファが出力する313の主記憶読み出し要求信号や314の主記憶再読み出し信号を受けて、102の主記憶から所定の命令列を読み出し、202の命令バッファへ書き込むことが可能となる。

【0033】図4は実施例の命令バッファブロックの詳細図である。図中401は書き込み側デコーダ、402は記憶素子アレイ、403は読み出し側デコーダ、404は命令バッファ書き込みアドレス、405は書き込み命令列、406は書き込みコントロール信号、407は命令バッファ読み出しアドレス、408は読み出し命令列、409は読み出しコントロール信号である。

【0034】このブロックは402の記憶素子アレイに書き込み命令列を格納し、その内容を読み出し命令列として出力する。書き込み方法は、404の命令バッファ書き込みアドレスと405の書き込み命令列を入力し、406の書き込みコントロール信号を発行することによって、402の記憶素子アレイ中の書き込みアドレスが指示する行に書き込み命令列が格納される。また、読み出し方法は、407の命令バッファ読み出しアドレスを入力し、409の読み出しコントロール信号を発行すると、408の読み出し命令列に読み出しアドレスの行に格納されている命令列が出力される。このとき、書き込み側読み出し側それぞれにアドレスポート、命令列ポートがあり、またデコーダもそれぞれにあるため、読み出し、書き込みが独立したタイミングで行なうことができる。

【0035】図5は、実施例の命令バリッドバッファの詳細図である。図中501はラッチ、502はアドレスデコーダ、503はアドレス、504はセット信号、505はクリア信号、506は命令バリッド信号である。

【0036】501は1ビットのラッチで、504のセット信号で出力が1、505のクリア信号で出力が0となり、双方とも0の場合には前の値を保持する。

【0037】502はアドレスデコーダで、503のアドレスが入力されると、そのアドレスに対応する504のセット信号のみを1とする。

【0038】この構成によって、202の命令バッファに書き込まれた命令のうち、有効な行を示すことができる。

【0039】図6は実施例の命令ストリームバッファコントローラのブロック図である。図中601は命令ストリームバッファ状態判定ブロック、602は命令ストリームバッファヒット判定ブロック、603は命令ストリームバッファ読み出しコントローラ、604は命令ストリームバッファバリッド信号、605は読み出しアドレス、606はアドレスタグ、312は主記憶読み出しアドレス、313は主記憶読み出し要求信号、314は主記憶再読み出し要求信号、610は命令バッファ読み出しアドレス、611は命令バッファ読み出しコントローラ

ル信号、612は読み出し要求信号、613は命令ストリームバッファ再読み出し要求信号、614は命令ストリームバッファ読み出し可能信号、615は読み出し命令有効信号、616は命令ストリームバッファヒット信号である。

【0040】601の命令ストリームバッファ状態判定ブロックは、605の読み出しアドレスと604の命令ストリームバッファバリッド信号が入力され、613の命令ストリームバッファ再読み出し要求信号、614の命令ストリームバッファ読み出し可能信号、615の読み出し命令有効信号を出力する。

【0041】602の命令ストリームバッファヒット判定ブロックは、605の読み出しアドレス、606のアドレスタグ、および615の読み出し命令有効信号から202の命令バッファ内に格納されている命令が有効であるかを判定し、結果を616の命令ストリームバッファヒット信号として出力する。

【0042】603の命令ストリームバッファ読み出しコントローラは、103のプロセッサが発行する612の読み出し要求信号と605の読み出しアドレス、601の命令ストリームバッファ状態判定ブロックが出力する613の命令ストリームバッファ再読み出し要求信号と614の命令ストリームバッファ読み出し可能信号、そして602の命令ストリームバッファヒット判定ブロックが出力する616の命令ストリームバッファヒット信号を入力として、命令ストリームバッファの現在の状態を判定し、次に命令ストリームバッファがどのように動作するかを決定する。その結果を312の主記憶読み出しアドレス、313の主記憶読み出し要求信号、314の主記憶再読み出し要求信号、610の命令バッファ読み出しアドレス、そして611の命令バッファ読み出しコントロール信号に反映し、出力する。

【0043】この構成によって、203の命令バリッドバッファ、204のアドレスタグの情報と、プロセッサからの612の読み出し要求信号と605の読み出しアドレスの要求から、202命令バッファに格納されている命令が有効であるかを判定し、無効である場合主記憶からの読み出し要求を行ない、最終的に命令バッファから命令を読み出すことを可能とする。

【0044】図7は602の命令ストリームバッファヒット判定ブロックの内部詳細図である。図中701は比較器、702はAND回路、703はアドレスヒット信号である。

【0045】701の比較器は、入力される605の読み出しアドレスと606のアドレスタグを比較し、一致すれば703のアドレスヒット信号を真とし、それ以外の場合は偽とする。

【0046】702のAND回路は、入力される615の読み出し命令有効信号と、703のアドレスヒット信号の論理積をとり、結果を616の命令ストリームバッ

ファヒット信号として出力する。

【0047】このように構成することによって、入力605の読み出しアドレスと606のアドレスタグの値が一致し、且つ615の読み出し命令有効信号が真の場合に616の命令ストリームバッファヒット信号が真となるように動作する事が可能となる。

【0048】図8は601の命令ストリームバッファ状態判定ブロックである。図中801はアドレスデコーダ、802はセクタ、803は命令ストリームバッファ読み出し可能判定ブロック、804は命令ストリームバッファ再読み出し要求判定ブロック、805はセレクト信号である。

【0049】801のアドレスデコーダは、入力される605の読み出しアドレスを、802のセクタを制御可能な形式である805のセレクト信号に変換する。

【0050】802のセクタは、入力されてくる604の命令ストリームバッファバリッド信号の中から、805のセレクト信号で示されるビット位置の値を選択し、615の読み出し命令有効信号として出力する。この構成によって、202の命令バッファ内の605の読み出しアドレスで示される行の命令が読み出し可能であることを示す事が可能となる。

【0051】803の命令ストリームバッファ読み出し可能判定ブロックは、604の命令ストリームバッファバリッド信号から、命令ストリームバッファ読み出しが可能かを判定し、614の命令ストリームバッファ読み出し可能信号として出力する。804の命令ストリームバッファ再読み出し要求判定ブロックは、604の命令ストリームバッファバリッド信号と805のセレクト信号から、主記憶への再読み出しの要求を行なうべきかを判定し、結果を613の命令ストリームバッファ再読み出し要求信号として出力する。

【0052】図9は803の命令ストリームバッファ読み出し可能判定ブロックの詳細図である。図中901はnビット入力OR回路である。この回路は、nビットの入力信号の論理和を取り、1ビットの出力信号とする。この回路に604の命令ストリームバッファバリッド信号を入力し、各ビットの論理和を取ることによって、202の命令バッファ内に少なくとも1行以上読み出し可能である行が存在することを示す614の命令ストリームバッファ読み出し可能信号を作成している。図10は804の命令ストリームバッファ再読み出し要求判定ブロックの詳細図である。図中1001はOR回路、1002はNOT回路、1003は再読み出し不要信号である。

【0053】1001はOR回路であり、2本の入力の論理和をとり出力する。1002はNOT回路であり、入力の反転信号を出力する。802のセクタは前述の通り、805のセレクト信号で示されるビット位置の値を選択し、出力する。

【0054】1003の再読み出し不要信号は、604の命令ストリームバッファバリッド信号の各ビットにおいて、下位の行に位置する信号全てと自らの値全ての論理和をとる事によって作成する。この信号を802のセクタで805のセレクト信号によって選択した結果を1002のNOT回路で反転することによって、613は命令ストリームバッファ再読み出し要求信号を作成する。

【0055】図11は603の命令ストリームバッファ読み出しコントローラの詳細図である。図中1101はアドレスキュー、1102、1103はアドレスセクタ、1104はリトライアドレス、1105は書き込みリトライ選択信号である。

【0056】1101のアドレスキューは、605の読み出しアドレスと同じビット幅のラッチで構成されていて、605の読み出しアドレスを612の読み出し要求信号で格納し、1104のリトライアドレスとして保持する。

【0057】1102と1103のアドレスセクタは、2組のアドレスと選択信号を入力し、選択信号の値により、2組のアドレスのうち、決められた一方のアドレスが出力される。1102は、入力アドレスとして605の読み出しアドレスと1104のリトライアドレスが入力され、314の主記憶再読み出し要求信号によって選択され、真であれば1104のリトライアドレスが選択され、また、偽の場合は605の読み出しアドレスが選択され、312の主記憶読み出しアドレスとして出力される。また、1103のアドレスセクタは、入力アドレスとして605の読み出しアドレスと1104のリトライアドレスが入力され、313の主記憶読み出し要求信号と314の主記憶再読み出し要求信号の論理和を取った1105の書き込みリトライ選択信号によって選択され、真であれば1104のリトライアドレスが選択され、また、偽の場合は605の読み出しアドレスが選択され、610の命令バッファ読み出しアドレスとして出力される。

【0058】本ブロックの入力信号である612の読み出し要求信号、613の命令ストリームバッファ再読み出し要求信号、614の命令ストリームバッファ読み出し可能信号、および616の命令ストリームバッファヒット信号と、出力信号である312の主記憶読み出しアドレス、313の主記憶読み出し要求信号、314の主記憶再読み出し要求信号、610の命令バッファ読み出しアドレス、および611の命令バッファ読み出しコントロール信号の関係を図12の真理値表として示す。

【0059】図12の真理値表は、図11の命令ストリームバッファ読み出しコントローラの入力信号と出力信号の関係を示している。図中左半分が入力信号を示し、右半分が出力を表している。

【0060】

【発明の効果】本発明によれば、最大では命令ストリームバッファの記憶容量での主記憶からの連続転送が行なえるため、主記憶からの転送速度を向上でき、且つ、キャッシュラインを最小の大きさにとれるため、無駄な命令をキャッシュに読み込む可能性がなくなる。さらに、プリフェッチでは予測でキャッシュへ命令列を転送していたが、本発明では要求があったものだけキャッシュへの転送を行なうため、キャッシュ上での無駄な命令を読み込むことはなくなる。また、主記憶からの命令ストリームバッファへの転送を中断できるよう構成することによって、主記憶からの無駄な転送を減らし、次の必要な転送への移行を迅速にできる。

【図面の簡単な説明】

【図1】本発明の外部構成データフローのブロック図。

【図2】本発明の命令ストリームバッファのブロック図。

【図3】本発明のメモリバスインターフェースの説明図。

【図4】本発明の命令バッファブロックの一例の説明図。

【図5】本発明の命令バリッドバッファの一例の説明

図。

【図6】本発明の命令ストリームバッファコントローラの一例の説明図。

【図7】本発明の命令ストリームバッファヒット判定ブロックの一例の説明図。

【図8】本発明の命令ストリームバッファ状態判定ブロックの一例の説明図。

【図9】本発明の命令ストリームバッファ読み出し可能判定ブロックの一例の説明図。

【図10】本発明の命令ストリームバッファ再読み出し要求判定ブロックの一例の説明図。

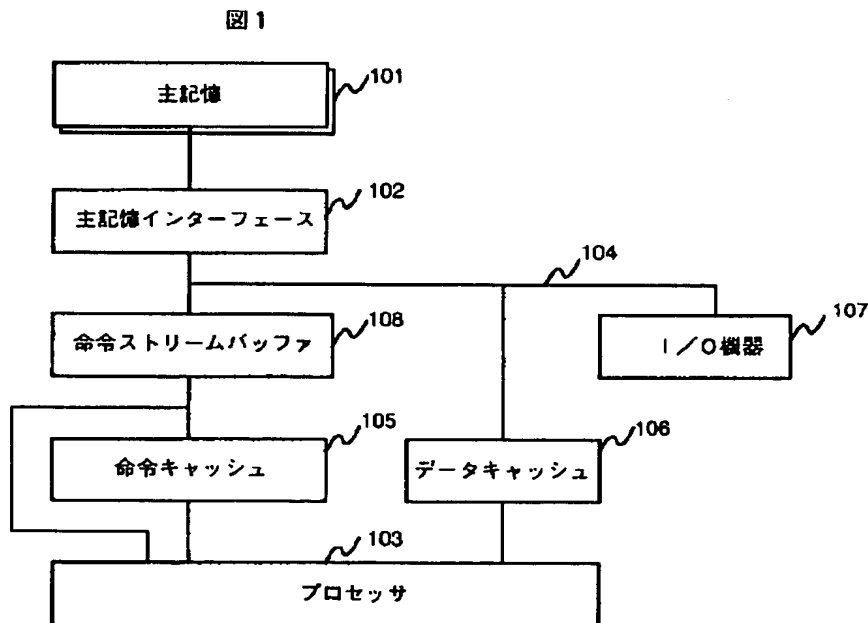
【図11】本発明の命令ストリームバッファ読み出しコントローラの一例の説明図。

【図12】本発明の命令ストリームバッファ読み出しコントローラの真理値表の一例の説明図。

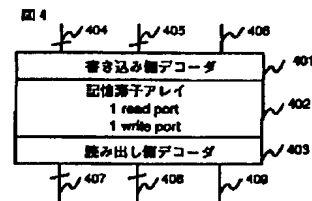
【符号の説明】

101…主記憶、102…主記憶インターフェース、103…プロセッサ、104…命令キャッシュ、105…データキャッシュ、106…その他のI/O機器、107…命令ストリームバッファ。

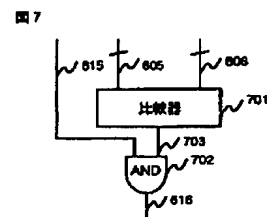
【図1】



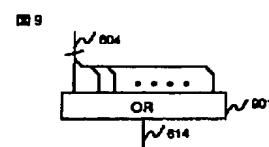
【図4】



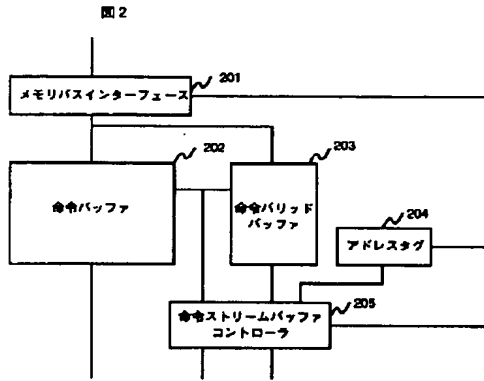
【図7】



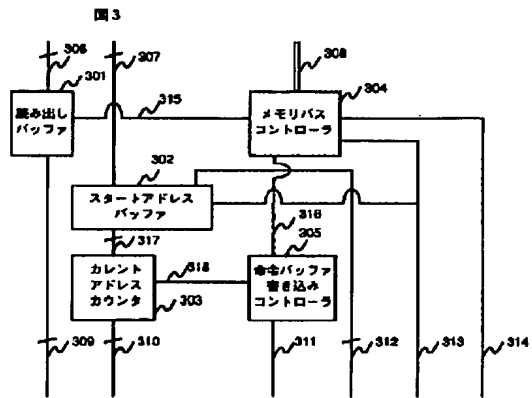
【図9】



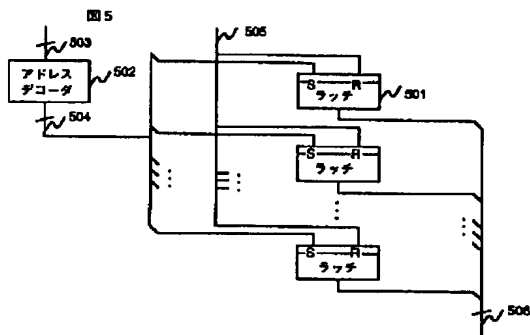
【図2】



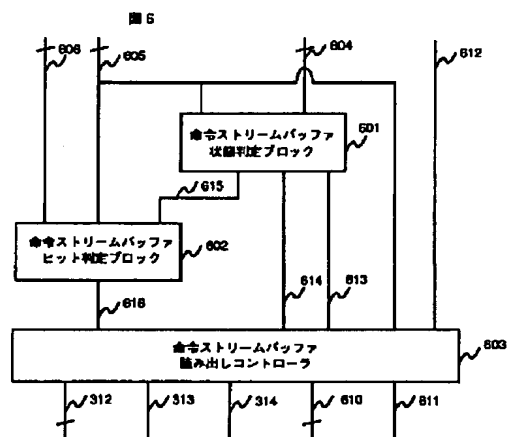
【図3】



【図5】

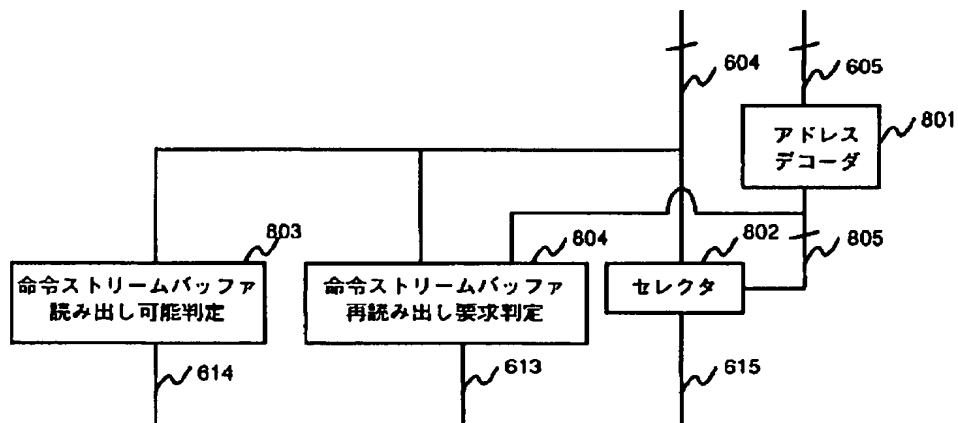


【図6】

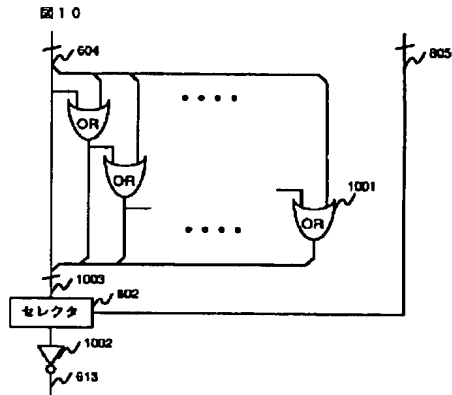


【図8】

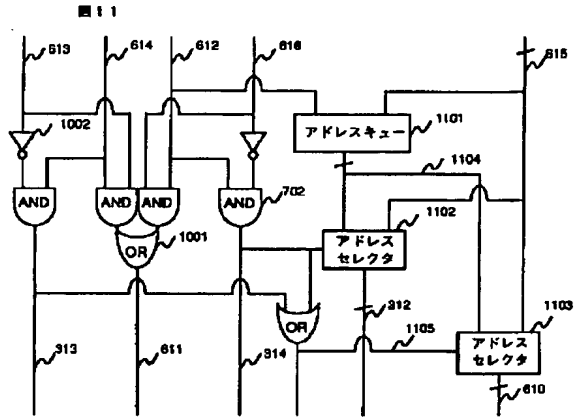
図8



【図10】



【図11】



【図12】

図12

入力信号				出力信号			
読み出し 要求信号 (612)	ISB 再読み出し 要求信号 (613)	ISB 読み出し 可能信号 (614)	ISB ヒット 信号 (616)	主記憶 読み出し 要求信号 (608)	主記憶 再読み出し 要求信号 (609)	ISB読み 出しコント ロール 信号(611)	書き込み リトライ 信号 (1105)
0	0	0	0	0	0	0	0
1	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0
1	1	0	0	0	1	0	1
0	0	1	0	1	0	0	1
1	0	1	0	1	1	0	1
0	1	1	0	0	0	1	0
1	1	1	0	0	1	1	1
0	0	0	1	0	0	0	0
1	0	0	1	0	0	1	0
0	1	0	1	0	0	0	0
1	1	0	1	0	0	1	0
0	0	1	1	1	0	0	1
1	0	1	1	1	0	1	1
0	1	1	1	0	0	1	0
1	1	1	1	0	0	1	0

フロントページの続き

(72)発明者 西岡 清和
神奈川県川崎市麻生区王禅寺1099番地株式
会社日立製作所システム開発研究所内

(72)発明者 野尻 徹
神奈川県川崎市麻生区王禅寺1099番地株式
会社日立製作所システム開発研究所内